

3/5/1

AS

DIALOG(R)File 351:Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.

011036071 \*\*Image available\*\*  
WPI Acc No: 1997-013995/199702  
XRPX Acc No: N97-012167

**Field effect transistor having hyper-smooth face and its fabrication -  
has terraces on surface of semiconductor substrate which have  
crystallographic smooth planes with step located at terrace boundary**  
Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD (MATU ); MATSUSHITA DENKI  
SANGYO KK (MATU )

Inventor: NIWA M  
Number of Countries: 006 Number of Patents: 006  
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 746041	A2	19961204	EP 96108589	A	19960530	199702 B
JP 9051097	A	19970218	JP 96132429	A	19960527	199717
US 5886389	A	19990323	US 96655561	A	19960530	199919
KR 261358	B1	20000701	KR 9618989	A	19960531	200131
EP 746041	B1	20011121	EP 96108589	A	19960530	200176
DE 69617100	E	20020103	DE 617100	A	19960530	200210
			EP 96108589	A	19960530	

Priority Applications (No Type Date): JP 95133346 A 19950531

Cited Patents: No-SR.Pub

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 746041	A2	E	20	H01L-029/78	
	Designated States (Regional): DE FR GB				
JP 9051097	A		14	H01L-029/78	
US 5886389	A			H01L-029/76	
KR 261358	B1			H01L-029/78	
EP 746041	B1	E		H01L-029/78	
	Designated States (Regional): DE FR GB				
DE 69617100	E			H01L-029/78	Based on patent EP 746041

Abstract (Basic): EP 746041 A

The FET includes a semiconductor substrate including a source region, a drain region and a channel region located between the source and drain regions. A gate insulating film is formed on at least the channel region for the semiconductor substrate.

A gate electrode is formed on the gate insulating film where a surface of the semiconductor substrate includes a number of terraces (100a-100e) having crystallographically smooth planes and at least one step located in a boundary portion of the terraces. The step extends substantially along a channel length direction.

ADVANTAGE - Provides field-effect transistor with improved device characteristics by reducing interface scattering of travelling electrons.

Dwg.5/10

Title Terms: FIELD; EFFECT; TRANSISTOR; FACE; FABRICATE; TERRACE; SURFACE;  
SEMICONDUCTOR; SUBSTRATE; CRYSTALLOGRAPHY; SMOOTH; PLANE; STEP; LOCATE;  
TERRACE; BOUNDARY

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-029/76; H01L-029/78

International Patent Class (Additional): H01L-021/20; H01L-021/336;  
H01L-029/10

File Segment: CPI; EPI

**FIELD EFFECT TRANSISTOR AND MANUFACTURE THEREOF**

Patent Number: JP9051097  
Publication date: 1997-02-18  
Inventor(s): NIWA MASAOKI  
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD  
Requested Patent:  JP9051097  
Application Number: JP19960132429 19960527  
Priority Number(s):  
IPC Classification: H01L29/78; H01L21/20  
EC Classification:  
Equivalents: JP2749030B2

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To reduce the boundary scattering of running electron and to improve the element characteristics by extending a step disposed at the boundary of a plurality of terraces having smooth surfaces included in the semiconductor substrate surface the lengthwise direction of a channel.

**SOLUTION:** The surface of a silicon substrate 10 is formed of a plurality of steps and terraces, the upper surfaces of the terraces are in plane (001), and smooth in a microscopic scale. At the surface of the substrate 10, the steps are formed at the boundary of two adjacent terraces. That is, the upper side terrace of a relatively high level and the lower side terrace of a relatively low level are disposed adjacent via the steps. The number of the steps crossing the linear line parallel with the direction I is extremely less than the number of the steps crossing the linear light parallel with the direction II. The steps are extended straightly along the direction I in a macroscopic scale. That is, the terrace of the smooth surface is extended long along the direction I on the substrate 10.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-51097

(43) 公開日 平成9年(1997)2月18日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 Q
21/20			21/20	
			29/78	3 0 1 H

審査請求 有 請求項の数26 O L (全 14 頁)

(21) 出願番号 特願平8-132429

(22) 出願日 平成8年(1996)5月27日

(31) 優先権主張番号 特願平7-133346

(32) 優先日 平7(1995)5月31日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 丹羽 正昭

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

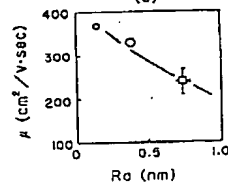
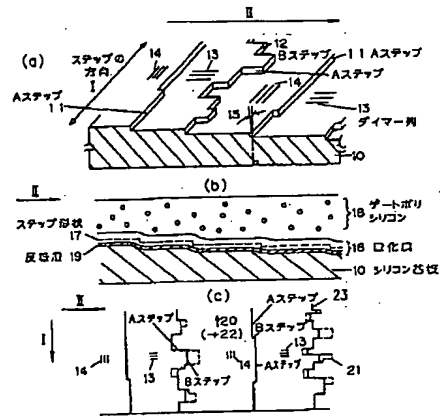
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 電界効果トランジスタおよびその製造方法

(57) 【要約】

【課題】 応答速度を向上させた電界効果トランジスタを提供する。

【解決手段】 反転層19中の電子の走行方向を、ステップが走る方向と平行にすることにより、シリコン10-酸化膜16界面での電子散乱が抑制可能となり、ミスオリエンテーション角15が小さい基板を用いなくても、高い垂直電界強度でのシリコン10-酸化膜16界面ラフネス散乱による界面移動度の劣化を回避できる。



【特許請求の範囲】

【請求項1】 ソース領域及びドレイン領域と、該領域間に位置するチャンネル領域とを含む半導体基板と、該半導体基板の少なくとも該チャンネル領域上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成されたゲート電極と、を備えた電界効果トランジスタであって、

該半導体基板の表面は、結晶学的に平滑な面を持つ複数のテラスと、該複数のテラスの境界部に位置する少なくとも一つのステップとを含んでおり、

該ステップは、実質的にチャンネル長方向に沿って延びている、電界効果トランジスタ。

【請求項2】 動作時において、前記チャンネル領域中に生じた電荷は、前記半導体基板の前記チャンネル長方向に沿って移動するように、前記ソース領域、チャンネル領域及びドレイン領域が配置されている請求項1に記載の電界効果トランジスタ。

【請求項3】 前記ステップの50%以上は、Aステップから形成されている請求項1に記載の電界効果トランジスタ。

【請求項4】 前記半導体基板は、零ではないミスオリエンテーション角を有する(001)シリコン基板である請求項1に記載の電界効果トランジスタ。

【請求項5】 前記ミスオリエンテーション角が0度より大きく、4度より小さい請求項4に記載の電界効果トランジスタ。

【請求項6】 前記ステップのうち、前記チャンネル領域を横切るものの数が、20個以下である請求項1に記載の電界効果トランジスタ。

【請求項7】 前記複数のテラスのそれぞれの上には、前記チャンネル長方向に延びるダイマー列が形成されている請求項1に記載の電界効果トランジスタ。

【請求項8】 前記ステップは実質的にAステップからなる請求項7に記載の電界効果トランジスタ。

【請求項9】 前記半導体基板は、4度より大きく、15度より小さいミスオリエンテーション角を有する(001)シリコン基板である請求項8に記載の電界効果トランジスタ。

【請求項10】 前記チャンネル領域は、前記ステップの肩部分に形成された量子細線であり、該量子細線の幅は10nm以下である請求項9に記載の電界効果トランジスタ。

【請求項11】 前記複数のテラスのうち任意のテラス上には、そのテラスに隣接するテラス上に形成されたダイマー列に直交するダイマー列が形成されている請求項1に記載の電界効果トランジスタ。

【請求項12】 前記半導体基板は、シリコンから形成されており、前記ゲート絶縁膜は、熱酸化膜から形成されている請求項1に記載の電界効果トランジスタ。

【請求項13】 前記熱酸化膜の厚さは4nm以下であ

る請求項1に記載の電界効果トランジスタ。

【請求項14】 前記熱酸化膜の上面の形状は、該熱酸化膜の下面の形状と同一である請求項1に記載の電界効果トランジスタ。

【請求項15】 ソース領域及びドレイン領域と、該領域間に位置するチャンネル領域とを含む半導体基板と、該半導体基板の少なくとも該チャンネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備えた電界効果トランジスタの製造方法であって、

該半導体基板の表面に、結晶学的に平滑な面を持つ複数のテラスと、該複数のテラスの境界部に位置する少なくとも一つのステップとを形成する表面処理工程と、該半導体基板の該表面に該ゲート絶縁膜を形成する工程と、

該ゲート絶縁膜上に該ゲート電極を形成する工程と、該ステップが実質的にチャンネル長方向に沿って延びるように、該ソース領域及びドレイン領域を該半導体基板中に形成する工程と、を包含する電界効果トランジスタの製造方法。

【請求項16】 前記表面処理工程は、前記半導体基板を真空中で加熱する工程を包含する請求項15に記載の電界効果トランジスタの製造方法。

【請求項17】 前記表面処理工程は、1000℃以上の温度に加熱する請求項16に記載の電界効果トランジスタの製造方法。

【請求項18】 前記ゲート絶縁膜を形成する工程は、前記半導体基板の前記表面を熱酸化する工程を含んでいる請求項15に記載の電界効果トランジスタの製造方法。

【請求項19】 前記表面処理工程の後に、前記半導体基板に素子分離構造を設ける工程を更に包含する請求項15に記載の電界効果トランジスタの製造方法。

【請求項20】 前記半導体基板としては、零ではないミスオリエンテーション角を有する(001)シリコン基板を用いる請求項15に記載の電界効果トランジスタの製造方法。

【請求項21】 前記ミスオリエンテーション角が0度より大きく、4度より小さい請求項20に記載の電界効果トランジスタの製造方法。

【請求項22】 前記ステップの高さは、シリコン単原子層の厚さに等しい請求項20に記載の電界効果トランジスタの製造方法。

【請求項23】 前記ミスオリエンテーション角が4度より大きい請求項20に記載の電界効果トランジスタの製造方法。

【請求項24】 前記ステップの高さは、シリコン単原子層の厚さよりも厚い請求項20に記載の電界効果トランジスタの製造方法。

【請求項25】 複数のテラスと、該複数のテラスの境

10

20

30

40

50

界面に位置するステップとを備えた半導体基板を形成する工程と、

該半導体基板の表面を酸化することにより、該ステップの該境界部から該半導体基板に平行に突出する突起部のサイズを小さくし、該境界部の凹凸を平坦化する工程と、を包含する半導体基板上的ステップの平坦化方法。

【請求項26】 前記突起部のサイズは8nm以下である請求項25に記載の半導体基板上的ステップの平坦化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、超平滑面を必要とする電界効果トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】近年、ヘテロ界面の平滑化は、更に微細化されたサイズを持つ量子素子やMOSトランジスタなどの次世代電子素子のために、精力的に研究されている。

【0003】以下、図面を参照しながら、従来のMOS型電界効果トランジスタのヘテロ界面を説明する。なお、本願明細書において、「MOS」は、金属/酸化膜/半導体の3層構造に限定されず、広く、導電体/絶縁膜/半導体の3層構造を含むものとする。

【0004】図4(a)～(c)は、従来のシリコン/酸化膜の界面を形成する過程を示す断面図である。

【0005】図4(a)は、MOS型電界効果トランジスタのゲート絶縁膜形成前のシリコン基板70の断面を示している。一般に、シリコン基板の表面には、スライシングや研磨等による種々の損傷を受けた加工層(厚さ:約100nm～500nm)が形成されている。このような加工層は、ウェット酸化によってシリコン基板の表面に熱酸化膜を形成し、その熱酸化膜をフッ酸等で除去することにより、取り除かれる。ウェット酸化の前に、シリコン基板の表面から有機物などを除去するため、RCA洗浄がシリコン基板に対して施される。図4(a)は、上記熱酸化膜を除去した直後におけるシリコン基板70の表面の様子を示している。

【0006】ウェット酸化の酸化速度は速いので、ウェット酸化は極薄ゲート絶縁膜の形成には適さない。このため、極薄ゲート絶縁膜の形成には、乾燥雰囲気中で熱酸化を施すドライ酸化が有利と考えられるが、ドライ酸化によって形成されたゲート絶縁膜には絶縁耐圧が低いという問題も指摘されている。そのような耐圧劣化の原因は、ゲート絶縁膜とシリコン基板との界面における凹凸によるものと考えられる(例えば、M.Niwa et al, J. Electrochem. Soc., 139(1992)901)。

【0007】次に、図4(b)に示されるように、ドライ酸化によってゲート絶縁膜(厚さ:10nm)71が形成される。このドライ酸化は、電気炉を用いて乾燥酸素雰囲気中で900℃程度の温度にシリコン基板を加熱

することにより行われる。ゲート絶縁膜71からピンホールなどの酸化膜欠陥を除去するため、更に、乾燥酸素中にて950℃、20minのアニール処理を施した。

【0008】ゲート絶縁膜71とシリコン基板70との界面72に凹凸が形成される機構は、現在十分には解明されていないが、界面の凹凸形成に、酸化種のサイズ効果及び酸化膜中のシラノール基が大きく関与していると考えられる。

【0009】ドライ雰囲気中のO<sub>2</sub>はウェット雰囲気中のH<sub>2</sub>Oにくらべてそのサイズが大きい。また、構造緩和剤として機能し得るシラノール基がドライ雰囲気中には存在しない。このため、酸化種(O<sub>2</sub>)は、シリコン表面の格子位置に存在するシリコンに対してランダム(一様)に結合することなく、正味のボンド長が最も長い(111)ファセット面から内部に侵入し、そこでシリコン原子と反応すると考えられる。このため、ドライ酸化の場合、シリコン表面の特定部分に酸化種侵入経路が形成され、その経路から優先的に酸化が進むと考えられている。このため、ドライ酸化によれば、酸化膜とシリコン基板との界面に凹凸が形成されやすくなる。

【0010】ドライ酸化により形成された酸化膜の場合、デバイ長は約15nmであるので、本実施例の場合大半がその機構が解明されていない酸化の初期過程領域で膜形成の最終段階、即ちシリコン酸化膜界面付近の酸化膜形成はDeal-Groveの反応律則にのっとり行われる。

【0011】以上のことから、図4(b)に示される比較的大きなシリコン基板表面の凹凸は、(111)ファセットのような比較的入りやすい経路から酸化種が優先的に入り込みシリコン原子との反応が促進された結果生成されたと理解される。

【0012】ドライ酸化前のシリコン基板70の表面には、図4(a)に示されるように、比較的小さな凹凸が存在し、種々の微細な結晶面が表面に現れている。結晶面の酸化速度は、面方位に応じて異なるため、図4(b)に現れる酸化膜界面72は、大きな凹凸と小さな凹凸の組み合わせられた複雑な形状を持つことになる。

【0013】ゲート絶縁膜が形成された後、図4(c)に示すように、ゲート電極として機能するポリシリコン層73をゲート絶縁膜71上に堆積し、MOS構造を形成する。このようにして形成した絶縁膜/シリコン基板界面凹凸のrms値は、透過型電子顕微鏡による断面観察によれば、約1.5nmである。

【0014】

【発明が解決しようとする課題】しかしながら上記のような構成では、界面凹凸が原因となり反転層中の走行電子が散乱され、素子の応答速度が抑制されるという問題点がある。上記MOS構造を用いて、MOS型電界トランジスタを作製し、動作させると、シリコン基板70のうちゲート酸化膜71に近接する部分(シリコン基板7

0の表面付近)に、反転層74が形成される。反転層74には高い電界が形成され、反転層74中の電子75は、高速で反転層74中を走行する。この際、シリコン表面の凹凸によって電子75が散乱され、電子の電界効果移動度が低下してしまう。

【0015】本発明は上記課題を解決するためになされたものであり、その目的とするところは、走行電子の界面散乱を低減することにより、素子特性を向上させた電界効果トランジスタ及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】本願発明の電界効果トランジスタは、ソース領域及びドレイン領域と、該領域間に位置するチャンネル領域とを含む半導体基板と、該半導体基板の少なくとも該チャンネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備えた電界効果トランジスタであって、該半導体基板の表面は、結晶学的に平滑な面を持つ複数のテラスと、該複数のテラスの境界部に位置する少なくとも一つのステップとを含んでおり、該ステップは、実質的にチャンネル長方向に沿って延びており、そのことにより上記目的が達成される。

【0017】動作時において、前記チャンネル領域中に生じた電荷は、前記半導体基板の前記チャンネル長方向に沿って移動するように、前記ソース領域、チャンネル領域及びドレイン領域が配置されていることが好ましい。

【0018】前記ステップの50%以上は、Aステップから形成されていることが好ましい。

【0019】ある好ましい実施形態では、前記半導体基板は、零ではないミスオリエンテーション角を有する(001)シリコン基板である。

【0020】ある好ましい実施形態では、前記ミスオリエンテーション角が0度より大きく、4度より小さい。

【0021】前記ステップのうち、前記チャンネル領域を横切るものの数が、20個以下であることが好ましい。

【0022】ある好ましい実施形態では、前記複数のテラスのそれぞれの上には、前記チャンネル長方向に延びるダイマー列が形成されている。

【0023】ある好ましい実施形態では、前記ステップは実質的にAステップからなる。

【0024】ある好ましい実施形態では、前記半導体基板は、4度より大きく、15度より小さいミスオリエンテーション角を有する(001)シリコン基板である。

【0025】ある好ましい実施形態では、前記チャンネル領域は、前記ステップの肩部分に形成された量子細線であり、該量子細線の幅は10nm以下である。

【0026】ある好ましい実施形態では、前記複数のテラスのうち任意のテラス上には、そのテラスに隣接するテラス上に形成されたダイマー列に直交するダイマー列が形成されている。

【0027】ある好ましい実施形態では、前記半導体基板は、シリコンから形成されており、前記ゲート絶縁膜は、熱酸化膜から形成されている。

【0028】前記熱酸化膜の厚さは4nm以下であることが好ましい。

【0029】ある好ましい実施形態では、前記熱酸化膜の上面の形状は、該熱酸化膜の下面の形状と同一である。

【0030】本発明の電界効果トランジスタの製造方法は、ソース領域及びドレイン領域と、該領域間に位置するチャンネル領域とを含む半導体基板と、該半導体基板の少なくとも該チャンネル領域上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを備えた電界効果トランジスタの製造方法であって、該半導体基板の表面に、結晶学的に平滑な面を持つ複数のテラスと、該複数のテラスの境界部に位置する少なくとも一つのステップとを形成する表面処理工程と、該半導体基板の該表面に該ゲート絶縁膜を形成する工程と、該ゲート絶縁膜上に該ゲート電極を形成する工程と、該ステップが実質的にチャンネル長方向に沿って延びるように、該ソース領域及びドレイン領域を該半導体基板中に形成する工程と、を包含し、そのことにより上記目的が達成される。

【0031】ある好ましい実施形態では、前記表面処理工程が、前記半導体基板を真空中で加熱する工程を包含する。

【0032】前記表面処理工程は、1000℃以上の温度に加熱することが好ましい。

【0033】ある好ましい実施形態では、前記ゲート絶縁膜を形成する工程は、前記半導体基板の前記表面を熱酸化する工程を含んでいる。

【0034】前記表面処理工程の後に、前記半導体基板に素子分離構造を設ける工程を更に包含していてもよい。

【0035】前記半導体基板としては、零ではないミスオリエンテーション角を有する(001)シリコン基板を用いる。

【0036】ある好ましい実施形態では、前記ミスオリエンテーション角が0度より大きく、4度より小さい。

【0037】ある好ましい実施形態では、前記ステップの高さは、シリコン単原子層の厚さに等しい。

【0038】ある好ましい実施形態では、前記ミスオリエンテーション角が4度より大きい。

【0039】ある好ましい実施形態では、前記ステップの高さは、シリコン単原子層の厚さよりも厚い。

【0040】本発明の半導体基板上のステップの平坦化方法は、複数のテラスと、該複数のテラスの境界部に位置するステップとを備えた半導体基板を形成する工程と、該半導体基板の表面を酸化することにより、該ステップの該境界部から該半導体基板に平行に突出する突起

部のサイズを小さくし、該境界部の凹凸を平坦化する工程とを包含し、そのことにより上記目的が達成される。

【0041】前記突起部のサイズは8nm以下であることが好ましい。

【0042】

【発明の実施の形態】以下に、本発明の実施例を説明する。

【0043】(実施例1)以下、図面を参照しながら、本発明による電界効果トランジスタの実施例を説明する。本実施例は、原子の尺度で平坦な絶縁層/半導体界面を有する。

【0044】まず、図1(a)を参照する。真空中の加熱清浄化やシリコンのホモエピタキシャル成長により形成された(001)清浄表面の斜視図である。図1(a)に示されるように、シリコン基板10の表面は、複数のステップと複数のテラスから形成されている。各テラスの上面は、(001)面であり、微視的(原子レベル)スケールで平滑である。本願明細書では、このような平滑な面を「結晶学的に平滑な面」を呼ぶ場合がある。

【0045】上記表面構造は、真空中の加熱清浄化技術やシリコンのホモエピタキシャル成長技術により形成される。これらの技術の詳細は、あとで説明する。

【0046】シリコン基板10の表面において、各ステップは、隣接する2つのテラスの境界部に形成されている。言い換えると、各ステップを挟んで、相対的に高いレベルにあるテラス(上側テラス)と、相対的に低いレベルにあるテラス(下側テラス)とが隣接している。本実施例の場合、図1(b)に明瞭に示されるように、方向IIに沿ってテラスのレベルは段々に低くなっている。言い換えると、シリコン基板10の表面は、巨視的なスケールでは、(001)面から傾斜している。このような表面構造を持つシリコン基板10は、ミスオリエンテーション基板を用いて準備される。本実施例では、ミスオリエンテーション角15が2度の基板(P型不純物(ボロン)濃度: 約 $10^{15}$ cm<sup>-3</sup>)を用いている。

【0047】本実施例では、各ステップの高さは、シリコン単原子層の厚さに相当し、約0.136nmである。方向Iに沿って計測した各テラスのサイズは、約10~20nmである。

【0048】次に、図1(c)を参照する。方向Iに平行な直線を横切るステップの数は、方向IIに平行な直線を横切るステップの数に比較して極めて少ない。ステップは、巨視的スケールでは、方向Iに沿ってまっすぐ伸びているといえる。言い換えると、本実施例のシリコン基板10の上では、平滑な面を持つテラスが、方向Iに沿って長く伸びている。本願明細書では、方向Iを「ステップ方向」と呼ぶことがある。

【0049】次に、ステップとテラスとの関係を説明する。各テラスの最表面に位置するシリコン原子は、2量体(ダイマー)からなる原子配列(ダイマー列)を形成

している。ダイマー列には、第1の方向に沿って伸びる第1のダイマー列14と、第1の方向に垂直な第2の方向に沿って伸びる第2のダイマー列13とが含まれる。

1つのテラスには、1種類のダイマー列が形成される。ステップは、その向きによって、Aステップ11及びBステップ12の2種類に分けられる。図1(c)に示されるように、Aステップ11は、上側テラス上に形成されたダイマー列に平行なステップであり、Bステップ12は、上側テラス上の形成されたダイマー列に垂直なステップである。本実施例では、図示されているように、ダイマー列13及び14が交互に繰り返されるようなテラス構造が形成されている。シリコン基板のミスオリエンテーション角度によっては、ダイマー列13及び14の何れか一方のみが表面に形成される場合がある(実施例2を参照)。

【0050】次に、図1(a)に示されるような表面構造を持ったシリコン基板10を作製する工程を詳細に説明する。

【0051】まず、シリコン基板の表面から有機物などを除去するため、RCA洗浄をシリコン基板に対してはどこす。次に、ウェット酸化によってシリコン基板の表面に熱酸化膜を形成した後、その熱酸化膜をフッ酸等で除去する。こうすることにより、シリコン基板の「加工層」が除去される。この段階では、シリコン基板の表面には、微細凹凸が不規則に形成されている。

【0052】次に、シリコン基板を超高真空チャンバ内にセットし、チャンバ内の圧力を約 $4\sim 6 \times 10^{-9}$ Paに減圧する。次に、短時間加熱法でシリコン基板を急速に加熱し、約1~5秒間程度で $1150\sim 1250^{\circ}\text{C}$ にまで昇温する。その後、徐々に室温近くの温度にまで冷却する。冷却の課程でシリコン基板表面におけるシリコンが再配列し、(2x1)構造が形成される。シリコン基板の主面が(001)面からオフしていると、ステップのある平坦な複数のテラスを持つ構造が形成される。チャンバ内からシリコン基板を取り出すと、シリコン基板の表面に飛来した大気中の酸素分子が表面に吸着し、表面に薄い自然酸化膜を形成する。

【0053】上記方法を加熱清浄化法と呼ぶことにする。真空下での加熱に代えて、酸素雰囲気中で紫外線照射を行いながらシリコン基板を加熱しても、同様の(2x1)構造を形成できる。これらの表面処理方法は、特開平5-243266号公報や特開平6-151395号公報に記載されている。

【0054】また、ホモエピタキシャル成長技術を用いて、オフ基板上にエピタキシャル成長層を設けても、その表面にステップのある平坦な複数のテラスを持つ構造を形成することができる。本願明細書では、このようなホモエピタキシャル成長工程も「表面処理工程」に含めることとする。

【0055】このようにして、図1(a)に示されるよ

9  
うな表面構造を持ったシリコン基板10を準備した後、シリコン基板10の表面を熱酸化する。シリコン基板10の表面に自然酸化膜が厚く形成された場合は、できるかぎり、それを除去しておくことが好ましい。上記熱酸化は、ドライ酸化で行われる。より詳細には、電気炉で乾燥酸素雰囲気中においてシリコン基板10を900°C程度の温度に加熱することにより、厚さ5nmの酸化膜16をシリコン基板10上に形成する。熱酸化に引き続き、ピンホールなどの酸化膜欠陥を除去するために乾燥窒素中にて950°C、20minのアニール処理を施す。

【0056】上記熱酸化は、酸化膜/シリコン界面からシリコン基板10の内部に向かって進行する。一般には、形成される熱酸化膜が厚くなるにつれて、初期過程→反応律則→拡散律則というように、酸化膜形成機構は変化してゆく。しかし、本実施例の場合、最終的に形成する酸化膜の厚さが極めて薄いため、初期過程で酸化膜の形成は完了する。

【0057】本実施例によれば、シリコン基板10の表面が原子的に平坦な面、すなわち、(001)テラス面から構成されているため、従来例において生じたと考えられる特定の酸化種侵入経路は発生しにくい。そのため、酸化種は均一にシリコン表面原子と反応するので、従来例に比べて、酸化膜/シリコン界面には不規則な凹凸が形成されにくい。

【0058】上記熱酸化によって、熱酸化前のシリコン基板10の表面のステップ形状17を反映した形態を持つ酸化膜16が形成される。これは、熱酸化が表面の位置によらず均一に進行し、その結果、位置によらず均一な厚さを持つ酸化膜が形成されたことを意味している。酸化膜16の形態が、下地シリコンのステップ形状17を保存する現象は、酸化膜16が薄いほど顕著である。従来の方法によって、厚さが約4nm以下の熱酸化膜を形成すると、熱酸化膜の厚さが不均一となり、局所的に薄くなりすぎる部分が形成される結果、その部分から絶縁破壊が生じるおそれが強かった。これに対して、本発明によれば、薄い熱酸化膜が均一な厚さを有するように形成される利点がある。従って、本発明の方法は、熱酸化膜の厚さが約4nm以下の場合に特に顕著な効果をもたらすといえる。

【0059】なお、本発明者による実験から、方向IIに平行なステップの長さ及び数が熱酸化によって減少することがわかった。従って、本発明は、ゲート絶縁膜として熱酸化膜を用いる場合に特に好ましい効果をもたらす。

【0060】次に、酸化膜16上にゲート電極として機能するポリシリコン(厚さ:200nm)18を堆積し、MOS構造を形成する。ゲート電極に所定値の電圧を印加すると、従来例と同様に、酸化膜/シリコン界面のシリコン側に、薄い反転層(厚さ:4nm)19が形

成される。より詳細には、反転層無いの電子は、酸化膜/シリコン界面から深さ0.4nm程度の位置にピークを持った分布を示す。

【0061】MOS型電界効果トランジスタを作製するには、ソース領域及びドレイン領域とチャンネル領域とをシリコン基板10の表面近傍に形成する必要がある。本願発明では、反転層中の電子の走行方向が図1(c)に示される矢印20の方向に一致するようにソース領域及びドレイン領域(N型不純物濃度:10<sup>20</sup>cm<sup>-3</sup>)を形成する。ソース領域及びドレイン領域は、図1(c)には示されていない。

【0062】次に、図5を参照する。図5は、MOS型電界効果トランジスタにおける、シリコン表面のステップ構造とソース領域及びドレイン領域との配置関係を示している。本実施例では、ステップ方向と電子の走行方向とは平行になっている。

【0063】図5のテラス100a~100eのうち、例えばテラス100cの表面をソース領域からドレイン領域に向かって走行する電子は、テラス100b側のステップ(特に、テラス100bとテラス100cとの境界部からステップ方向に対して垂直な方向に突出した部分)で散乱を受ける。しかし、この突出したステップのサイズは、たかだか数原子層の厚さに相当する大きさしか持たないため、電子の移動が大きく妨げられることはない。しかし、上側テラスから下側テラスに突出するステップのサイズや数は少ないほうが、電子の散乱は少なくなるので好ましいことは言うまでもない。

【0064】Aステップ付近では、電子は殆ど散乱されずに走行するが、Bステップ付近ではその複雑な2次元ステップ形状により電子は散乱され易くなると予想されるが、酸化後のBステップの複雑に入り組んだ形態は、点線で示した酸化前の表面形態21よりもやや均された酸化膜界面形態23になり、電子の走行方向20に対して2次元的な酸化膜界面凹凸の頻度が少なくなる傾向を示す。

【0065】各ステップの高さは、シリコン(001)面の単原子層の厚さに相当するので、シリコン基板表面に垂直な方向(深さ方向)に沿った凹凸のサイズはせいぜい0.36nmであるので、走行する電子は、このラフネスを感じない。

【0066】一方、ステップ方向(矢印20)に対して直角の方向(矢印22の方向)に電子を走行させた場合、常に単原子ステップ段差に基づく階段状のラフネスを感じながら走行するので、前者の場合に比べて散乱確率が大きくなる。

【0067】図1(d)は、熱酸化膜厚が5nmの場合の酸化膜/シリコン界面のラフネスと室温における反転層中の電子移動度(電子の電界効果移動度 $\mu_e$ )の測定結果を示したものである。

【0068】本発明によるヘテロ界面形成方法を用いた



場合を通常のウェット洗浄による界面形成方法と比較して示した。図1(d)の□はウェット洗浄によりSi(001)表面を処理した場合(図4に相当)、○は真空加熱清浄化し、Si(001)-2×1再配列表面を熱酸化し、ステップ高さの大きい方向に電子を走行させた場合(図1(c)22の方向に相当)、そして◎は真空加熱清浄化し、Si(001)-2×1再配列表面を熱酸化し、ステップ高さの小さい方向に電子を走行させた場合(図1(c)20の方向に相当)をそれぞれ示す。ウェット洗浄表面を酸化した場合に比べて2×1再配列表面を熱酸化した場合、移動度は大幅に向上する。

【0069】そして、2×1再配列表面を熱酸化し、ステップ段差の小さい方向に電子を走行させた場合にはさらに電子移動度の向上が確認された。

【0070】以上の結果は、室温における測定結果であったが、基板温度を冷却した場合にはフォノン散乱が抑制され、走行する電子が界面部分に押し寄せられるので、この改善効果がより顕著になる。

【0071】以上のように、本発明において対向するソース、ドレインの配置に関して反転層中の電子の走行方向をステップが走る方向と平行にすることにより、シリコン-酸化膜界面部での電子散乱を低減することが可能となり、必ずしもミスオリエンテーション角15が小さい基板を用いなくても界面散乱は抑制される。このように、高い垂直電界強度のもとではシリコン-酸化膜界面ラフネス散乱による界面移動度の低下が抑制される。

【0072】以上は、シリコン基板表面の面方位が(001)の場合についてであったが、その他の面方位の場合でも同様の事が成立し、シリコン(111)面の場合や本発明の実施例2で示すようにステップ段差が大きい場合には本発明の効果が顕著に現れる。

【0073】また本実施例では、シリコン基板を用いた電界効果トランジスタについて説明したが、例えばGaAs基板を用いた電界効果トランジスタについても応用が可能である。またミスオリエンテーション角15は2度としているが、図1(a)示すステップを得るためには、0度より大きく、4度より小さいことが好ましい。

【0074】(実施例2)以下、図面を参照しながら、本発明による電界効果トランジスタの第2の実施例を説明する。

【0075】図2(a)は、本実施例に使用するシリコン基板30の表面を示している。本実施例では、実施例1のシリコン基板10と比較して、ミスオリエンテーション角度の大きい(001)基板を使用している。シリコン基板30のミスオリエンテーション角31は、8度である。図2(a)に示す(001)清浄表面も、前述の真空中の加熱清浄化やシリコンのホモエピタキシャル成長により形成される。

【0076】シリコン基板30の表面は、ミスオリエンテーション角31により規定されたテラス34、35、

及び36とステップ32及び33とから形成されている。

【0077】シリコン(001)表面のステップ32及び33は、テラス34、35、及び36を分離する。これらのステップ32及び33は、テラス34、35、及び36上に形成された最表面シリコン原子の2量体(ダイマー)で構成されたダイマー列37、38、39に平行に走る。ミスオリエンテーション角31が比較的大きい為、形成されるステップAは、ステップで、各ステップの高さは2原子層の厚さ程度である。ステップとステップとの間隔(テラスの幅)は、ミスオリエンテーション角31に依存する。本実施例におけるステップとステップとの間隔(テラスの幅)は、4.5nm程度である。もし、ミスオリエンテーション角31を10度にする、ステップとステップとの間隔(テラスの幅)は、1.6nm程度になる。

【0078】本実施例のシリコン基板30の表面には、ダイマー列と垂直に走るBステップがほとんど存在しない。ここでは、「ダイマー列と平行なAステップと垂直なBステップとが交互に配置され、各々のテラス上にはダイマー列が交互に直角に存在する形態」は観察されない。

【0079】図2(a)に示されるような表面構造を持ったシリコン基板30を準備した後、シリコン基板30の表面を洗浄し、その後、熱酸化する。この酸化は、ドライ酸化で行われる。より詳細には、電気炉で乾燥酸素雰囲気中において900℃程度の温度に加熱することにより、厚さ5nmの酸化膜40を形成する。引続き、ピンホールなどの酸化膜欠陥を除去するために乾燥窒素中にて950℃、20minのアニール処理を施す。

【0080】上記熱酸化は、酸化膜/シリコン界面からシリコン基板30の内部に向かって進行する。一般には、形成される熱酸化膜が厚くなるにつれて、初期過程→反応律則→拡散律則というように、酸化膜形成機構は変化してゆく。しかし、本実施例の場合、最終的に形成する酸化膜の厚さが極めて薄いため、初期過程で酸化膜の形成は完了する。

【0081】本実施例によれば、シリコン基板30の表面が原子的に平坦な面から構成されているため、従来例において生じたと考えられる特定の酸化種侵入経路は発生しにくい。そのため、酸化種は均一にシリコン表面原子と反応するので、従来例に比べて、酸化膜/シリコン界面には不規則な凹凸が形成されにくい。

【0082】上記熱酸化によって、熱酸化前のシリコン表面に存在したステップ形状41を反映した形態を持つ酸化膜40が形成される。酸化膜の形態が、下地シリコンのステップ形状41を保存する現象は、酸化膜が薄い場合に顕著である。

【0083】次に、酸化膜40上にゲート電極として機能するポリシリコン42を堆積し、MOS構造を形成す

る。ゲート電極に所定値の電圧を印すると、従来例と同様に、酸化膜/シリコン界面のシリコン側に、薄い反転層43が形成される。

【0084】MOS型電界効果トランジスタを作製するには、ソース領域及びドレイン領域とチャネル領域とをシリコン基板30の表面近傍に形成する必要がある。本願発明では、反転層中の電子の走行方向が図2(c)に示される矢印44の方向に一致するようにソース領域及びドレイン領域を形成する。ソース領域及びドレイン領域は、図2(c)には示されていない。

【0085】Aステップ付近では、電子は殆ど散乱されずに走行するが、形状の複雑なBステップが存在しないため、電子が散乱される要因はほとんどない。

【0086】各ステップの高さは、シリコン(001)面の2原子層の厚さに相当するので、シリコン基板表面に垂直な方向(深さ方向)に沿った凹凸のサイズは0.27nmである。

【0087】ステップ方向(矢印44の方向)に電子を走行させた場合、走行電子はラフネスを感じずに走行するので、散乱確率は著しく小さい。これに対して、ステップ方向(矢印44の方向)に対して直角の方向(矢印45の方向)に電子を走行させた場合、2原子ステップ段差に基づく階段状のラフネスを感じながら走行するので、前者の場合に比べて散乱確率が大きくなる。

【0088】高さの大きなステップが形成されたシリコン表面を酸化し、反転層中のキャリアの伝播方向とステップ方向とを一致させることにより、図2(d)に示すような構造が得られる。この構造によれば、ステップの肩部分(シャープエッジ)にキャリアを閉じ込めさせ、一次元の量子細線を形成することも可能となる。これは、ステップの肩部分に電界集中が生じ、それによって、その部分に選択的に反転層が形成されるからである。このような量子細線を形成するには、ステップは、4~8原子程度に相当する高さを持つことが必要である。ソース領域とドレイン領域との間に、このような量子細線を形成すれば、量子細線トランジスタが作製される。

【0089】以上のように、本発明においては対向するソース、ドレインの配置に関して反転層中の電子の走行方向をステップが走る方向と平行にすることにより、シリコン-酸化膜界面での電子の散乱を低減することが可能となる。このことにより高い垂直電界強度のもとではシリコン-酸化膜界面ラフネス散乱による界面移動度の低下が抑制される。以上は、シリコン基板表面の面方位が(001)の場合についてであったが、その他の面方位の場合でも同様の結果が得られることは言うまでもない。また基板のミスオリエンテーション角は、4度以上15度以下であることが好ましい。

【0090】(実施例3)以下、図面を参照しながら、本発明による電界効果トランジスタの第3の実施例を説

明する。

【0091】図3(a)は、本実施例に使用するシリコン基板50の表面を示している。本実施例では、実施例1のシリコン基板10と比較して、ミスオリエンテーション角度の小さい(001)基板を使用している。シリコン基板50のミスオリエンテーション角 $\theta$ は、ほとんどゼロ度(0.2度以下)である。図3(a)に示す(001)清浄表面も、前述の真空中の加熱清浄化やシリコンのホモエピタキシャル成長により形成される。以下、本発明の一実施例の原子的に平坦なMOSFETについて、図面を参照しながら説明する。

【0092】ステップ52はテラス上に形成された最表面シリコン原子の2量体(ダイマー)で構成された原子配列(ダイマー列)55に平行に走るステップである。ミスオリエンテーション角 $\theta$ がきわめて小さい為、形成されるステップ52は表面上の広範囲において殆ど存在しないが、BステップとAステップとが交互に配置される。また、各々のテラス上にはダイマー列55、56が交互に直角に存在する。ステップとステップとの間の間隔(テラスの幅)は、40nm程度になる。そのため、チャンネル長が100nm程度以下のトランジスタの場合、ソース領域からドレイン領域まで電子が移動する間に、電子が出会うステップは、多くとも、2個以下である。

【0093】図3(a)に示されるような表面構造を持ったシリコン基板50を準備した後、シリコン基板50の表面を洗浄し、その後、熱酸化する。この酸化は、ドライ酸化で行われる。より詳細には、電気炉で乾燥酸素雰囲気中において900℃程度の温度に加熱することにより、厚さ5nmの酸化膜57を形成する。引き続き、ピンホールなどの酸化膜欠陥を除去するために乾燥酸素中にて950℃、20minのアニール処理を施す。

【0094】上記熱酸化は、酸化膜/シリコン界面からシリコン基板50の内部に向かって進行する。一般には、形成される熱酸化膜が厚くなるにつれて、初期過程→反応律則→拡散律則というように、酸化膜形成機構は変化してゆく。しかし、本実施例の場合、最終的に形成する酸化膜57の厚さが極めて薄い為、初期過程で酸化膜の形成は完了する。

【0095】本実施例によれば、シリコン基板50の表面が原子的に平坦な面から構成されているため、従来例において生じたと考えられる特定の酸化種侵入経路は発生しにくい。そのため、酸化種は均一にシリコン表面原子と反応するので、従来例に比べて、酸化膜/シリコン界面には不規則な凹凸が形成されにくい。

【0096】上記熱酸化によって、熱酸化前のシリコン表面に存在したステップ形状60を反映した形態を持つ酸化膜57が形成される。酸化膜57の形態が、下地シリコンのステップ形状60を保存する現象は、酸化膜57が薄い場合に顕著である。

【0097】次に、酸化膜57上にゲート電極として機能するポリシリコン58を堆積し、MOS構造を形成する。ゲート電極に所定値の電圧を印すると、酸化膜/シリコン界面のシリコン側に、薄い反転層59が形成される。

【0098】MOS型電界効果トランジスタを作製するには、ソース領域及びドレイン領域とチャネル領域とをシリコン基板50の表面近傍に形成する必要がある。本実施例においてはミスオリエンテーション角51がきわめて小さいので、きわめて平坦な界面が形成される。矢印61は反転層中の電子の走行方向を示したもので、この場合、シリコン-酸化膜界面部分のステップが殆ど存在しないので界面の平坦性はきわめて優れている。仮にステップが存在したとしても高々シリコン(001)面の単原子ステップ(高さ0.136nm)であるので、走行する電子はこのステップによるラフネスを感じない。従って、電子の走行方向は基板のミスオリエンテーションの方向に依存せず、界面付近では電子が散乱される要因は見あたらない。このようにして対向するソース、ドレインを表面上の任意の方向に形成しても界面移動度に、常に高い値を示す。矢印61は反転層中の電子の走行方向を示している。

【0099】以上のように、本発明においては基板のミスオリエンテーション角がきわめて零に近いシリコンを用いることにより、反転層中の電子の走行方向はステップが走る方向に依存することなく任意の2次元平面上のシリコン-酸化膜界面での電子散乱を低減することが可能となる。このことにより高い垂直電界強度のもとで、シリコン-酸化膜界面ラフネス散乱による界面移動度の低下が抑制される。このため、二次元電子ガスによるトランジスタが実現される。

【0100】以上のことは、シリコン基板表面の面方位が(001)の場合についてであったが、その他の面方位の場合でも同様の結果が得られることは言うまでもない。

【0101】(実施例4)以下に本発明による電界効果トランジスタの実施例を説明する。本実施例では、一つのシリコン基板上に複数の電界効果トランジスタが形成され、これらのトランジスタが相互に電気的に分離される。

【0102】以下に、図6～図10を参照しながら、本実施例の製造方法を説明する。

【0103】まず、図6のステップS1でシリコン基板の表面に「キー」を形成する。ここで、キーとは、マスクアライメントに必要なマーク(目印)として機能する特定の形状を持った凹部である。キーは、シリコン基板の向き(オリエンテーション)が特定され得るような形状を持ち、チップの外周辺部等に形成される。キーの形状として、例えば、十文字が使用され得る。

【0104】図7(a)～(e)は、キー形成プロセス

を示す工程断面図である。

【0105】図7(a)に示されるように、シリコン基板201上に熱酸化膜(厚さ:25nm)202を形成した後、熱酸化膜202上にシリコンナイトライド膜(厚さ:50nm)203を堆積する。

【0106】次に、図7(b)に示されるように、キーの位置及び形状を規定する開口部を持つフォトレジスト膜204を、公知のリソグラフィ工程によってシリコンナイトライド膜203上に形成する。

【0107】次に、図7(c)に示されるように、シリコンナイトライド膜203のうちフォトレジスト膜204の開口部において露出する部分をエッチングし、熱酸化膜202を部分的に露出させる。こうして、次の局所熱酸化のためのマスク203'が形成される。フォトレジスト膜204を除去した後、マスク203'で覆われた状態のシリコン基板201に対して、熱酸化処理を行う。この熱酸化処理により、図7(d)に示されるように、キーを形成すべき領域に厚さ125nmの熱酸化膜205を成長させる。

【0108】次に、図7(e)に示されるように、熱酸化膜205を完全に除去し、シリコン基板201に凹部(深さ:50nm)206を形成する。その後、厚さ10nmの酸化膜207でシリコン基板201を覆う。

【0109】以上のプロセスでキー形成工程が完了する。

【0110】次に、CMOSトランジスタを形成する場合は、シリコン基板201中にウェルを形成する。

【0111】この後、図6のステップS2でPN接合分離構造を形成した後、ステップS3で基板表面を平滑化する。ステップS4で、ゲート絶縁膜を形成した後、ステップS5で多結晶シリコン膜を堆積する。ステップS6でゲートパターニングを行った後、ステップS7でソース/ドレイン領域を形成する。ステップS8で層間絶縁膜を堆積した後、ステップS9でコンタクトホールを層間絶縁膜中に形成する。ステップ10でコンタクトを形成する。

【0112】以下、ステップS2～S10の工程を図8(a)～(e)を参照して説明する。

【0113】まず、図8(a)に示されるように、シリコン基板201において、ソース/ドレイン及びチャネル領域が形成される領域(活性領域)を選択的にレジスト210で覆った後、レジスト210で覆われていない領域(分離領域)に対して、P型不純物イオンを注入する。このイオン注入は、各トランジスタ素子を電気的に分離するためのP型不純物拡散領域211を形成するために行う。注入条件は、ドーズ量が $7.5 \times 10^{13} \text{ cm}^{-2}$ のボロン(B)イオンを180keVで注入した後、 $3.5 \times 10^{13} \text{ cm}^{-2}$ のフッ化ボロン(BF<sub>2</sub>)イオンを60keVで注入する。

【0114】次に、レジスト210を除去した後、実施

例1で説明した方法によってシリコン基板の表面を平滑化する。この平滑化工程によっても、前記キーの形状(図8において不図示)は保存される、その後、図8(b)に示されるように、熱酸化によって絶縁膜212を形成した後、多結晶シリコン膜213を絶縁膜212上に堆積する。多結晶シリコン膜213及び絶縁膜212をパターニングすることによって、ゲート絶縁膜212'を介してチャネル領域上に位置するゲート電極213'を形成する。

【0115】こうしてMOS構造を形成した後、素子分離のためのトレンチ(幅500nm、深さ1000nm)を形成しても良い。トレンチ分離を行う場合は、前述のP型不純物イオンの注入は必要ない。

【0116】次に、ソース/ドレイン形成のためのレジスト214をシリコン基板201上に形成した後、N型不純物イオンをシリコン基板201に注入して、ソース/ドレイン領域215を形成する。この後、ゲート電極213'を覆うように層間絶縁膜218を堆積する。層間絶縁膜218としては、例えば、100nmのNSG膜216上に700nmのBPSG膜217を形成したものをを用いてもよい。BPSG膜217は、850°C60分間の熱処理によって、平坦化される。

【0117】次に、ソース/ドレイン領域215に到達するコンタクトホールを層間絶縁膜218に形成した後、公知のメタライゼーション技術によってソース/ドレインコンタクトを形成する。

【0118】図9は、本発明によりN型のMOSトランジスタ221とP型のMOSトランジスタ222をシリコン基板201に形成した半導体装置の断面構成を模式的に示している。P型のMOSトランジスタ222は、シリコン基板201に形成されたN型ウェル上に形成される。

【0119】図10は、図9の半導体装置の改良例の断面構成を示している。図10の半導体装置が図9の半導体装置から異なる点は、PN接合分離構造211に代えてトレンチ分離構造227が用いられていることにある。トレンチ分離構造227は、シリコン基板201の表面に形成された溝と、その溝の表面に形成された酸化膜225と、溝を埋める絶縁膜とから構成されている。

【0120】

【発明の効果】以上のように本発明によれば、真空中の加熱浄化やシリコンのホモエピタキシャル成長により形成された(001)清浄表面反転層中の電子の走行方向をステップが走る方向と平行にすることにより、シリコン-酸化膜界面においてより散乱を低減することができる。このことにより高い垂直電界強度のもとではシリコン-酸化膜界面ラフネス散乱による界面移動度の低下が抑制される。本発明の原子的に平坦な金属-絶縁物-半導体電界効果トランジスタのヘテロ界面形成方法を用いることにより走行キャリアの界面散乱低下を抑制したMOS

デバイスの高速化やシリコン量子細線の実現が可能となる。

【図面の簡単な説明】

【図1】(a)~(c)は本発明の実施例における金属-絶縁物-半導体電界効果トランジスタのヘテロ界面形成方法の構造図を説明する図、(d)は本発明の実施例におけるヘテロ界面形成方法による効果を電気特性から示した測定結果を示す図

【図2】(a)~(c)は本発明の実施例における金属-絶縁物-半導体電界効果トランジスタの構造図を説明する図、(d)は量子細線を示す断面図

【図3】(a)~(c)は本発明の実施例における金属-絶縁物-半導体電界効果トランジスタのヘテロ界面形成方法の構造図を説明する図

【図4】(a)~(c)は従来のヘテロ界面形成の処理手順を説明する図

【図5】本発明のMOS電界効果トランジスタの構成上面図

【図6】本発明による半導体装置の製造方法の実施例のフローチャート

【図7】(a)~(e)は、キー形成プロセスを示す工程断面図

【図8】本発明による半導体装置の製造方法の実施例の工程断面図

【図9】N型MOSトランジスタとP型MOSトランジスタをシリコン基板に形成した半導体装置の構成を示す断面図

【図10】図9の半導体装置の改良例の構成を示す断面図

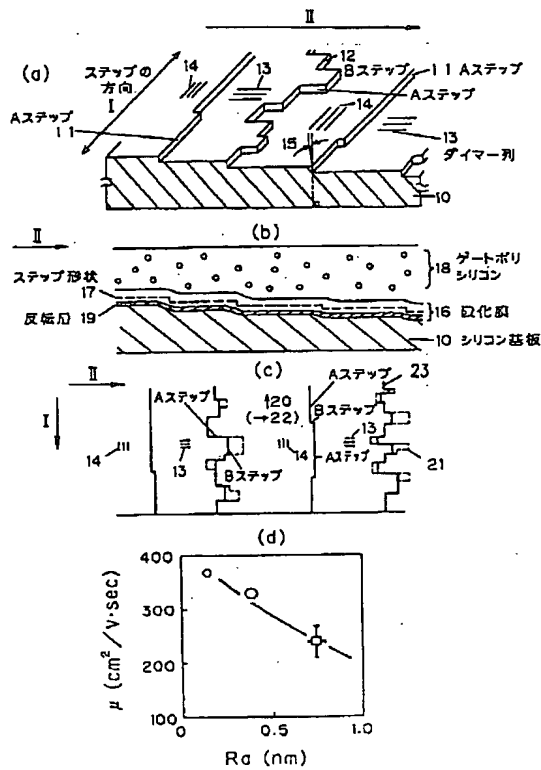
【符号の説明】

- 10 シリコン(001)基板
- 11 シリコン(001)表面上のダイマー列と平行に走るステップ(Aステップ)
- 12 シリコン(001)表面上のダイマー列と垂直に走るステップ(Bステップ)
- 13、14 シリコン(001)表面上のダイマー列
- 15 シリコン基板10のミスオリエンテーション角
- 16 熱酸化膜
- 17 下地のステップ形状
- 18 ゲートポリシリコン
- 19 酸化膜-シリコン界面の反転層
- 20 反転層中の電子の走行方向
- 21 酸化前の表面形態
- 22 酸化膜界面形態
- 30 シリコン(001)基板
- 31 シリコン(001)基板のミスオリエンテーション角
- 32、33 シリコン(001)表面上のダイマー列と平行に走るステップ(Aステップ)
- 34、35、36 シリコン(001)表面上のテラ

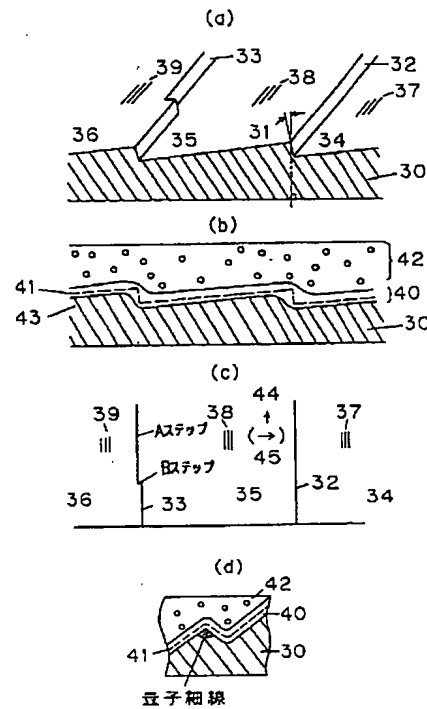
- ス
- 37、38、39 シリコン(001)表面上のダイマ-列
- 40 熱酸化膜
- 41 下地のステップ形状
- 42 ゲートポリシリコン
- 43 酸化膜-シリコン界面の反転層
- 44、45 反転層中の電子の走行方向
- 50 (001)清浄表面を有するシリコン基板
- 51 ミスオリエンテーション角
- 52 シリコン(001)表面上のステップ
- 53、54 テラス
- 55、56 最表面シリコン原子のダイマ-で構成\*

- \*されたダイマ-列
- 57 熱酸化膜
- 58 ゲートポリシリコン
- 59 反転層
- 60 下地のシリコン表面形態
- 61 反転層中の電子の走行方向
- 70 シリコン基板
- 71 従来法によるプロセス処理で形成したゲート酸化膜
- 10 72 シリコン酸化膜界面
- 73 ポリシリコン電極
- 74 反転層
- 75 反転層中の走行電子

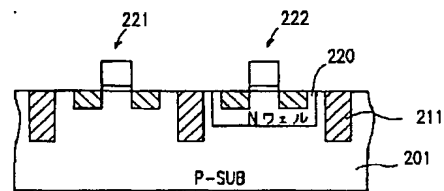
【図1】



【図2】



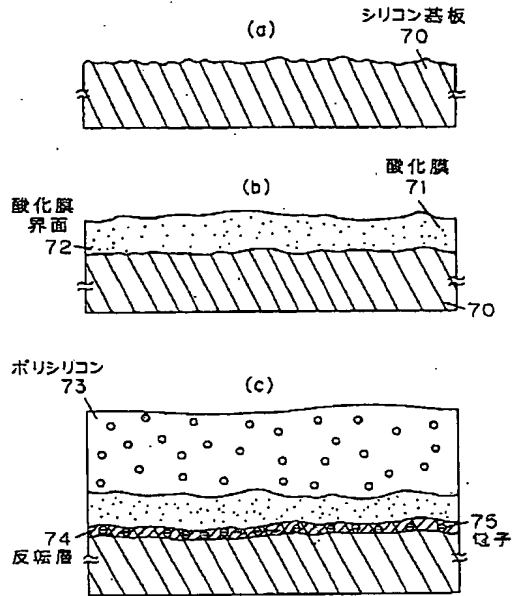
【図9】



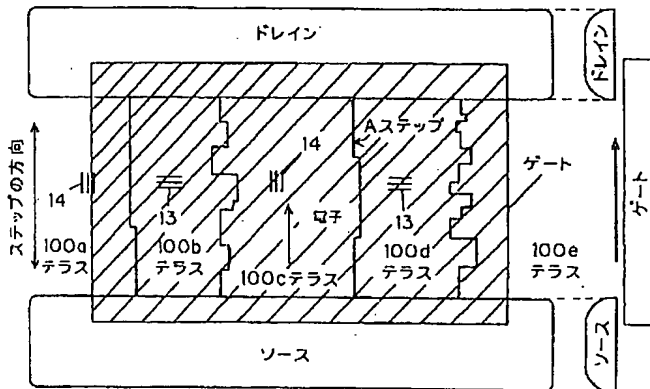
【図3】



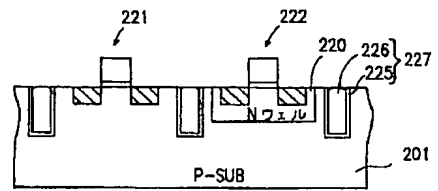
【図4】



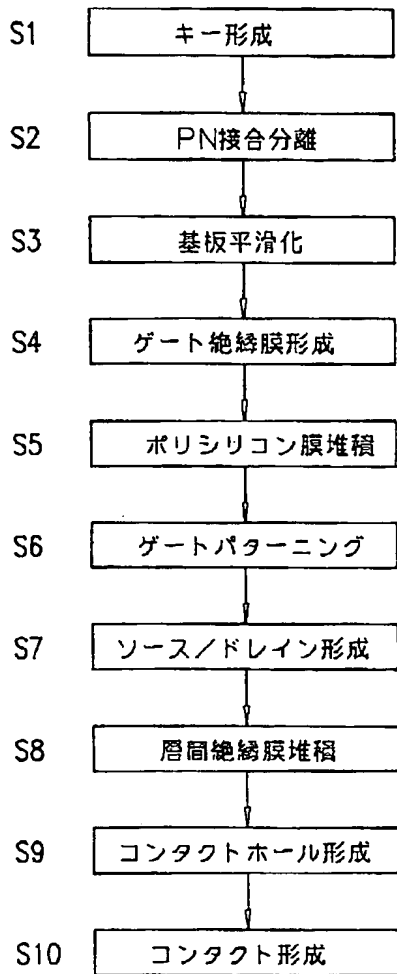
【図5】



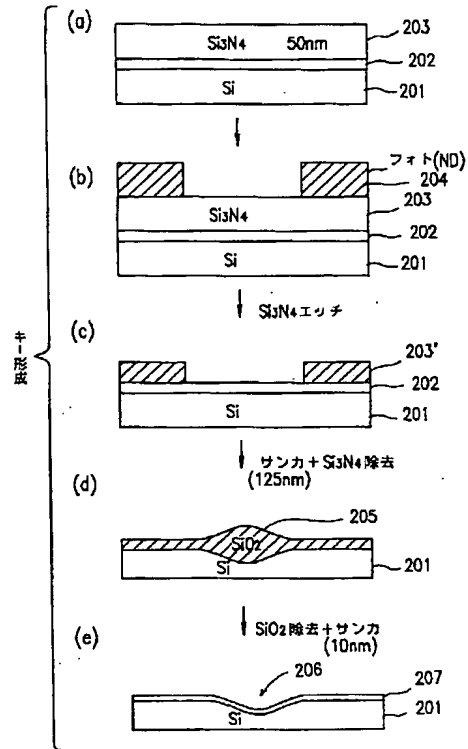
【図10】



【図6】



【図7】



【圖8】

